

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月10日

出 願 番 号

Application Number:

特願2003-063733

[ST.10/C]:

[JP 2003-063733]

出 願 人

Applicant(s):

株式会社東芝

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023489

【書類名】 特許願

【整理番号】 A000202297

【提出日】 平成15年 3月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 25

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

 【氏名】 福原 成太

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

 【氏名】 角田 弘昭

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

 【氏名】 柴 克育

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 配線層を形成する工程と、
プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、前記配線層上に第 1 の絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 80 Å 以下の膜厚のゲート絶縁膜を形成する工程と
をさらに具備することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の絶縁膜は、スピコート法で形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の絶縁膜は、スパッタ法で形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の絶縁膜は、熱 CVD 法で形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と
をさらに具備することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 及び第 2 の絶縁膜は、スピコート法、スパッタ法、熱 CVD 法のいずれかの方法でそれぞれ形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の絶縁膜は、450℃以下で形成することを特徴とする請求項 4 又は 5 に記載の半導体装置の製造方法。

【請求項 9】 前記熱 CVD 法又は前記スパッタ法を用いる場合、前記第 1 及び第 2 の絶縁膜は 450℃以下で形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の上面の一部が露出するまで前記第 2 の絶縁膜を平坦化する

工程と、

プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、前記第 1 の絶縁膜の前記上面の一部及び前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程と、

前記第 1 及び第 3 の絶縁膜を貫通して前記配線層に接続するコンタクトを形成する工程と

をさらに具備することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 2 の絶縁膜は、スピンコート法又は熱 C V D 法で形成することを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】 配線層と、

プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で前記配線層上に形成された第 1 の絶縁膜と

を具備することを特徴とする半導体装置。

【請求項 1 3】 8 0 Å 以下の膜厚のゲート絶縁膜と

をさらに具備することを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】 前記第 1 の絶縁膜は、低誘電率膜であることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 5】 前記低誘電率膜は、S O G 膜であることを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 6】 前記第 1 の絶縁膜は、スパッタ S i O₂ 膜であることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 7】 前記第 1 の絶縁膜は、熱 C V D 膜であることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 8】 前記熱 C V D 膜は、H C D - S i N 膜であることを特徴とする請求項 1 7 に記載の半導体装置。

【請求項 1 9】 プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と

をさらに具備することを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 2 0】 前記第 1 及び第 2 の絶縁膜は、低誘電率膜、スパッタ S i

O₂膜、熱CVD膜のいずれかであることを特徴とする請求項19に記載の半導体装置。

【請求項21】 プラズマ状態中の水素が全ガス成分中の1%以下である条件下で形成され、前記第1の絶縁膜の選択領域上に設けられた第2の絶縁膜と、

プラズマ状態中の水素が全ガス成分中の1%以下である条件下で形成され、前記第1及び第2の絶縁膜上に設けられ第3の絶縁膜と、

前記第1及び第3の絶縁膜を貫通して前記配線層に接続し、前記第2の絶縁膜と接しないコンタクトと

をさらに具備することを特徴とする請求項12に記載の半導体装置。

【請求項22】 前記第2の絶縁膜は、SOG膜又は熱酸化膜であることを特徴とする請求項21に記載の半導体装置。

【請求項23】 前記第1の絶縁膜は、水素が含まれていない膜であることを特徴とする請求項12に記載の半導体装置。

【請求項24】 前記半導体装置は、不揮発性メモリであることを特徴とする請求項12に記載の半導体装置。

【請求項25】 前記半導体装置は、強誘電体メモリ又は磁気ランダムアクセスメモリであることを特徴とする請求項12に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

NAND及びNORのような不揮発性メモリでは、データの繰り返しの読み書きに際し、トランジスタを稼働させるしきい値V_{th}が変動してしまう問題がある。この問題は、素子の微細化に伴い顕在化し、さらに、ゲート絶縁膜の膜厚が80Å以下の場合に顕著に起こりやすくなる。

【0003】

そこで、この問題に対して、従来では、パッシベーション膜を用いた積層構造

が採用されている。この積層構造は、図 1 4 に示すように、上層のメタル配線（例えば $\text{Al}-0.5\text{at}\%\text{Cu}$ ）5 0 上に $\text{Plasma-enhanced-SiON}$ 膜 5 1 が形成され、この SiON 膜 5 1 上に $\text{Plasma-enhanced-SiN}$ 膜 5 2 が形成されている。ここで、 SiN 膜 5 2 は吸湿の対策として用いられ、 SiON 膜 5 1 は SiN 膜 5 2 が有する水素を遮蔽するために用いられている。

【0004】

図 1 5 は、パッシベーション膜がある構造の ΔV_{th} シフト量と、パッシベーション膜がない構造の ΔV_{th} シフト量とを比較したデータを示す。ここで、パッシベーション膜がある構造とは、上記図 1 4 に示す SiN 膜 5 2 と SiON 膜 5 1 とを積層した構造を意味する。図 1 5 に示すように、パッシベーション膜がある構造の方が、パッシベーション膜がない構造よりも、 ΔV_{th} シフト量が顕著であることがわかる。

【0005】

【発明が解決しようとする課題】

以上のように、従来技術では、パッシベーション膜を有する積層構造であっても、データの読み書きを繰り返す素子における ΔV_{th} のシフトを本質的に抑えることはできなかった。

【0006】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、トランジスタを稼働させるしきい値の変動を抑制することが可能な半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0008】

本発明の第 1 の視点による半導体装置の製造方法は、配線層を形成する工程と、プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、前記配線層上に第 1 の絶縁膜を形成する工程とを具備する。

【 0 0 0 9 】

本発明の第2の視点による半導体装置は、配線層と、プラズマ状態中の水素が全ガス成分中の1%以下である条件下で前記配線層上に形成された第1の絶縁膜とを具備する。

【 0 0 1 0 】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 1 1 】

【第1の実施形態】

上述するように、従来技術では、パッシベーション膜を有する積層構造であっても、データの読み書きを繰り返す素子におけるしきい値 ΔV_{th} のシフトを、本質的に抑えることはできない。

【 0 0 1 2 】

そこで、根本的な原因を検討したところ、水素プラズマが ΔV_{th} シフトの原因となっていることが分かった。この点について、図1乃至図3を用いて、以下に具体的に説明する。

【 0 0 1 3 】

まず、 ΔV_{th} シフトの原因の追求では、フラッシュメモリにおける4つの信号波形（00波形、01波形、10波形、11波形）のうち“01波形”を例にあげ、この“01波形”の裾の部分における任意のしきい値 X （図1参照）が種々の条件によってどれだけ変動するかを実験する。ここで、“01波形”においてしきい値 X を選んだのは、“01波形”の裾の部分のしきい値が最も変動するからである。

【 0 0 1 4 】

この実験では、NAND型の素子を用いる。そして、水素を含んだガス中でプラズマを立てた雰囲気、この素子をさらし、そのデータリテンション特性の劣化を見る。この際、並行平板の対抗電極を有するチャンバー内にて、 N_2/H_2 を流し、その中でRFプラズマを立てる。このとき、 $H_2/N_2 = 400/10$

0 s c c m、圧力を1～1.5 T o r r程度とし、750 WのR Fパワーを用いるとプラズマを形成することができる。

【0015】

図2は、上記実験の結果を示す。図2の横軸において、「B e f o r e W / E」とはデータの書き込み／消去前を意味し、「A f t e r W / E」とはデータの書き込み／消去後を意味し、「A f t e r B a k e 150℃、2 h」とは150℃、2時間でバークを行った後を意味する。尚、図2の縦軸におけるマイナス表示は、図1のしきい値Xが左側にずれることを示している。

【0016】

図2に示すように、水素プラズマ、リファレンス、窒素プラズマ、窒素アニールのそれぞれを行った結果、水素プラズマに素子をさらした場合、バーク後に素子の ΔV_{th} シフト量が大幅に増加している。

【0017】

図3は、図2の ΔV_{th} シフト量と H_2/N_2 の割合との関係を示す図である。図3に示すように、 $\log(H_2(\%))$ が-2以上になると、 ΔV_{th} シフト量が増加している。ここで、 $\log(H_2(\%)) = -2$ は、プラズマ状態中の H_2 が全成分の1%であることを意味している。つまり、 H_2 プラズマに素子がさらされることで ΔV_{th} のシフトが生じ、この時、プラズマ状態中の H_2 は全成分の1%以上であると言える。

【0018】

以上のことから、 H_2 、又は絶縁膜形成における SiH_4 （ SiH_4 は例えば分解して H_2 と SiH_2 になる）や NH_3 等のHを含むガスのプラズマ状態については、 H_2 又は SiH_4 が全成分の1%以下であれば、 ΔV_{th} シフトは抑制できる。従って、 H_2 又は SiH_4 がガスの総流量に対して1%以下になるような流量比で例えば $SiON$ 膜のようなプラズマ絶縁膜を成膜することで、上述した素子のデータリテンション特性の劣化を防ぐことができる。尚、この時、素子のゲート絶縁膜の膜厚が80 Å以下の場合、顕著にその傾向が現れる。

【0019】

ここで、プラズマ状態中の水素が全ガス成分中の1%以下である条件下で絶縁

膜を形成した場合、この絶縁膜をSIMS分析で調べると、水素が含まれていない膜であることが分かる。このことは、1000Å乃至2000Å程度の膜厚で1cm平方程度の解析面積があれば、HFS (Hydrogen Forward Scattering) 法による分析でも調査は可能である。

【0020】

上記第1の実施形態によれば、NAND及びNORのような不揮発性メモリではデータの繰り返しの読み書きにおいて、LP-CVD (Low Pressure-Chemical Vapor Deposition) やSOG (Spin On Glass) のような、水素が含まれたプラズマ状態の環境に素子がさらされない工程で、素子を形成することにより、トランジスタを稼働させるためのしきい値 V_{th} の変動を抑制することができる。従って、第1の実施形態を適用して形成された素子は、データ読み書きの繰り返しによる V_{th} シフト量を、従来と比べて、10倍程度改善できる。

【0021】

尚、第1の実施形態は、不揮発性メモリ全般に対し有効であると考えられる。即ち、NANDやNORのような不揮発性メモリだけでなく、素子中に水素にさらされるとその特性が劣化すると考えられる、高誘電体酸化物を有する強誘電体メモリ (FeRAM) や、高誘電体のトンネル障壁膜を有する磁気ランダムアクセスメモリ (MRAM) などの素子においても、第1の実施形態を適用することは有効である。

【0022】

[第2の実施形態]

第2の実施形態は、プラズマを一切使わないスピコート (塗布膜形成) 法を用いて絶縁膜を形成する例である。

【0023】

図4は、本発明の第2の実施形態に係る半導体装置の断面図を示す。図4に示すように、絶縁膜11上にメタル配線 (例えばAl-0.5at%Cu) 10が形成される。次に、スピコート法を用いて、メタル配線10上に、絶縁膜としてSOG膜20を形成する。具体的には、弗化ポリアリルエーテルやBCB, サイトップやMSQといった材料を用いてスピコートで塗布し、80℃で1mi

n、200℃で1min、450℃で30minの順でベーク処理を行う。

【0024】

上記第2の実施形態によれば、H₂プラズマに素子がさらされることなくSOG膜20を形成するため、第1の実施形態と同様、トランジスタを稼働させるしきい値の変動を抑制することができる。

【0025】

さらに、第2の実施形態では、絶縁膜の形成にあたりスピコート法を用いることで、配線間の狭いスペースであっても、ボイドを発生させることなく、絶縁膜を埋め込むことができる。

【0026】

また、スピコート法による成膜では、プラズマを一切用いていないため、静電ダメージをトランジスタに与えないという効果も有する。

【0027】

〔第3の実施形態〕

第3の実施形態では、絶縁膜の形成の際、1%以下のH₂プラズマ中でスパッタ法を用いる場合や、プラズマを一切使わない熱CVD (Chemical Vapor Deposition) 法を用いる場合を説明する。

【0028】

図5は、本発明の第3の実施形態に係る半導体装置の断面図を示す。図5に示すように、1at%以下のH₂プラズマ中で、スパッタ法を用いて、メタル配線10上に絶縁膜としてスパッタSiO₂膜30を形成する。

【0029】

図6は、本発明の第3の実施形態に係る他の半導体装置の断面図を示す。図6に示すように、熱CVD法を用いて、メタル配線10上に絶縁膜として熱CVD膜31を形成する。この熱CVD膜31は、例えば、TEOS (Tetra Ethyl Ortho Silicate) を1100～1500sccm、O₃を4000～6000sccm、N₂を8000～12000sccmの割合にし、410℃の低温で形成できる。

【0030】

尚、熱CVD膜31として、例えばHCD-SiN膜を形成することも可能である。ここで、HCD-SiN膜は、HCD（ヘキサクロロジシラン）を用いると、その活性化エネルギーの低さにより、450℃の低温においても形成できる。また、HCD-SiN膜は、NH₃の還元で、すなわち、0.5～1 Torr、HCD/NH₃=10 sccm/1000 sccmの割合で、形成する。

【0031】

上記第3の実施形態によれば、H₂プラズマに素子がさらされることなくスパッタSiO₂膜30や熱CVD膜31を形成するため、第1の実施形態と同様、トランジスタを稼働させるしきい値の変動を抑制することができる。

【0032】

さらに、スパッタ法による成膜では、低温成膜が可能であるため、トランジスタの熱履歴的ダメージを与えることなく素子を形成できる。

【0033】

また、熱CVD法による成膜では、プラズマを一切用いていないため、静電ダメージをトランジスタに与えないという効果も有する。

【0034】

[第4の実施形態]

第4の実施形態は、第2及び第3の実施形態で形成した絶縁膜を組み合わせた例である。

【0035】

図7は、本発明の第4の実施形態に係る半導体装置の断面図を示す。図7に示すように、スピコート法を用いて、メタル配線10上に、低誘電率膜（比誘電率が例えば4.0以下の膜）であるSOG膜20を形成する。その後、熱CVD法を用いて、SOG膜20上にHCD-SiN膜31aを形成する。

【0036】

図8は、本発明の第4の実施形態に係る他の半導体装置の断面図を示す。図8に示すように、410℃の低温で熱CVD法を用いて、メタル配線10上に、TEOS-O₃-CVD膜31bを形成する。その後、熱CVD法を用いて、TEOS-O₃-CVD膜31b上にHCD-SiN膜31aを形成する。

【 0 0 3 7 】

上記第 4 の実施形態によれば、 H_2 プラズマに素子がさらされることなく SOG 膜 2 0、HCD-SiN 膜 3 1 a 及び TEOS- O_3 -CVD 膜 3 1 b を積層して形成するため、第 1 の実施形態と同様、トランジスタを稼働させるしきい値の変動を抑制することができる。

【 0 0 3 8 】

さらに、第 4 の実施形態では、絶縁膜を積層することで、耐湿性を兼ね備えたパッシベーション膜を形成できる。

【 0 0 3 9 】

また、低誘電率の SOG 膜を用いることで、素子の高速化を図ることができる。

【 0 0 4 0 】

〔第 5 の実施形態〕

第 5 の実施形態は、上記実施形態のように H_2 プラズマに素子がさらされることなく配線上に絶縁膜を形成し、さらに上層配線へのコンタクトを設けた場合の有効な積層構造及び方法について説明する。

【 0 0 4 1 】

図 9 乃至図 1 3 は、本発明の第 5 の実施形態に係る半導体装置の製造工程の各断面図を示す。

【 0 0 4 2 】

まず、図 9 に示すように、絶縁膜 1 1 上にメタル配線 1 0 が形成される。次に、メタル配線 1 0 上に例えば TEOS 膜のような第 1 の絶縁膜 4 1 が形成される。次に、第 1 の絶縁膜 4 1 上に SOG 膜又は熱 CVD 膜（例えば TEOS- O_3 -CVD 膜）の第 2 の絶縁膜 4 2 が形成される。ここで、第 2 の絶縁膜 4 2 が、SOG 膜の場合はスピコート法を用いて形成され、TEOS- O_3 -CVD 膜の場合は熱 CVD 法を用いて形成される。

【 0 0 4 3 】

次に、図 1 0 に示すように、CMP (Chemical Mechanical Polish) を用いて、メタル配線 1 0 上の第 1 の絶縁膜 4 1 の上面の一部が露出するまで、第 2 の絶

縁膜 4 2 が平坦化される。

【 0 0 4 4 】

次に、図 1 1 に示すように、第 1 及び第 2 の絶縁膜 4 1, 4 2 上に、例えば T E O S 膜などの第 3 の絶縁膜 4 3 が形成される。

【 0 0 4 5 】

次に、図 1 2 に示すように、第 2 及び第 3 の絶縁膜 4 2, 4 3 が除去され、コンタクトホール 4 4 が形成される。

【 0 0 4 6 】

次に、図 1 3 に示すように、コンタクトホール 4 4 内に金属膜が形成され、第 1 及び第 3 の絶縁膜 4 1, 4 3 を貫通してメタル配線 1 0 に接続するコンタクト 4 5 が形成される。このコンタクト 4 5 には、第 1 及び第 3 の絶縁膜 4 1, 4 3 は接しているが、第 2 の絶縁膜 4 2 は接しない。

【 0 0 4 7 】

上記第 5 の実施形態によれば、 H_2 プラズマに素子がさらされることなく第 1 乃至第 3 の絶縁膜 4 1, 4 2, 4 3 を形成するため、第 1 の実施形態と同様、トランジスタを稼動させるしきい値の変動を抑制することができる。

【 0 0 4 8 】

さらに、メタル配線 1 0 上には、S O G 膜又は熱 C V D 膜（第 2 の絶縁膜）4 2 を直接形成せずに、第 1 の絶縁膜 4 1 を形成して第 2 の絶縁膜 4 2 を形成している。このため、S O G 膜又は熱 C V D 膜（第 2 の絶縁膜）4 2 は、コンタクトホール 4 4 の形成時に露出されることがない。従って、S O G 膜又は熱 C V D 膜（第 2 の絶縁膜）4 2 に水分が侵入することを防止することができる。

【 0 0 4 9 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得

られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0050】

【発明の効果】

以上説明したように本発明によれば、トランジスタを稼動させるしきい値の変動を抑制することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わる01波形を示す図。

【図2】 本発明の第1の実施形態に係わるしきい値シフト量を示す図。

【図3】 本発明の第1の実施形態に係わる ΔV_{th} の H_2 濃度の依存性を示す図。

【図4】 本発明の第2の実施形態に係わるSOG膜を備えた半導体装置を示す断面図。

【図5】 本発明の第3の実施形態に係わるスパッタ SiO_2 膜を備えた半導体装置を示す断面図。

【図6】 本発明の第3の実施形態に係わる熱CVD膜を備えた半導体装置を示す断面図。

【図7】 本発明の第4の実施形態に係わるSOG膜/HCD-SiN膜を備えた半導体装置を示す断面図。

【図8】 本発明の第4の実施形態に係わるTEOS- O_3 -CVD膜/HCD-SiN膜を備えた半導体装置を示す断面図。

【図9】 本発明の第5の実施形態に係わる半導体装置の製造工程を示す断面図。

【図10】 図9に続く、本発明の第5の実施形態に係わる半導体装置の製造工程を示す断面図。

【図11】 図10に続く、本発明の第5の実施形態に係わる半導体装置の製造工程を示す断面図。

【図12】 図11に続く、本発明の第5の実施形態に係わる半導体装置の製造工程を示す断面図。

【図13】 図12に続く、本発明の第5の実施形態に係わる半導体装置の

製造工程を示す断面図。

【図 1 4】 従来技術によるパッシベーション膜を有する半導体装置を示す断面図。

【図 1 5】 従来技術によるパッシベーション膜の有無における ΔV_{th} シフト量を示す図。

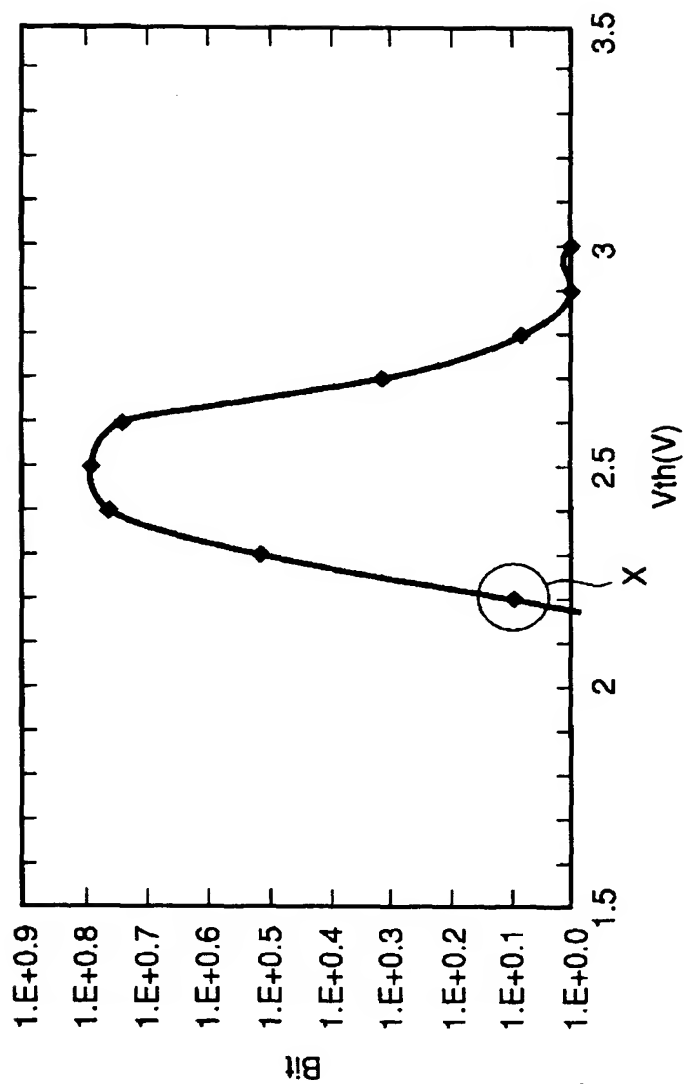
【符号の説明】

1 0 …メタル配線、1 1, 4 1, 4 2, 4 3 …絶縁膜、2 0 …SOG膜、3 0 …スパッタ SiO_2 膜、3 1 …熱CVD膜、3 1 a …HCD- SiN 膜、3 1 b …TEOS- O_3 -CVD膜、4 4 …コンタクトホール、4 5 …コンタクト。

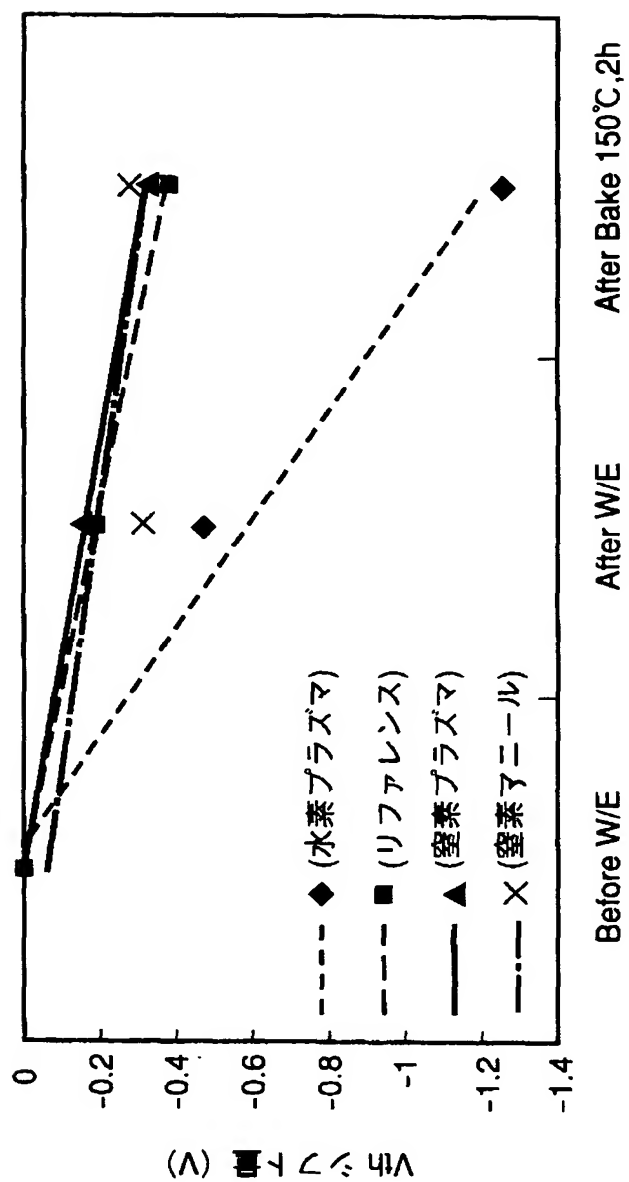
【書類名】

図面

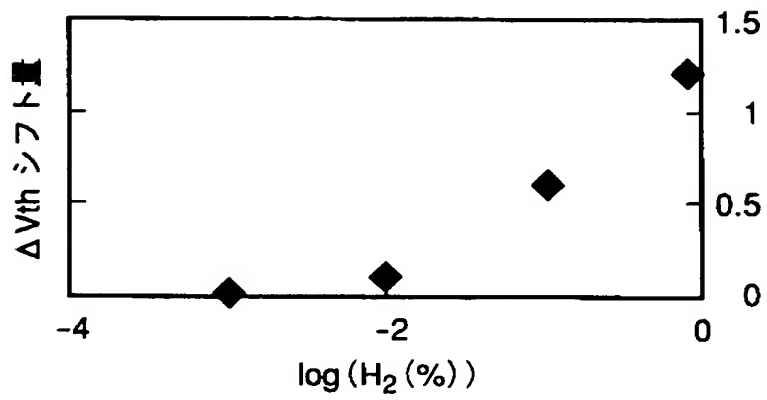
【図 1】



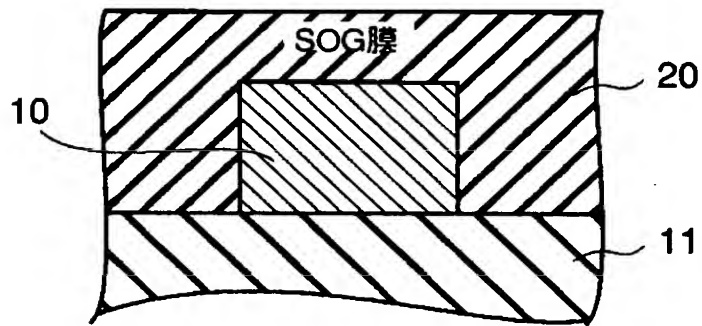
【図 2】



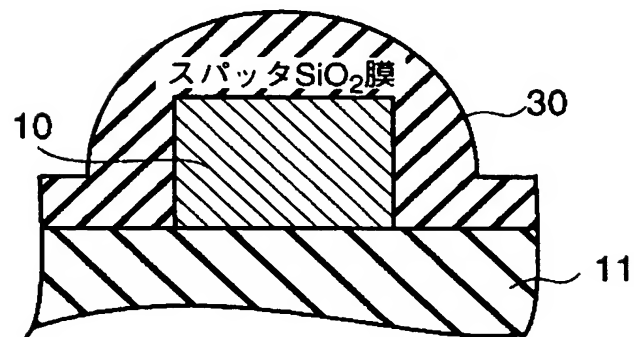
【図 3】



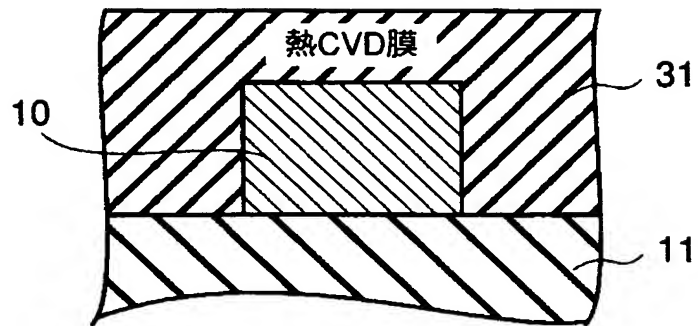
【図 4】



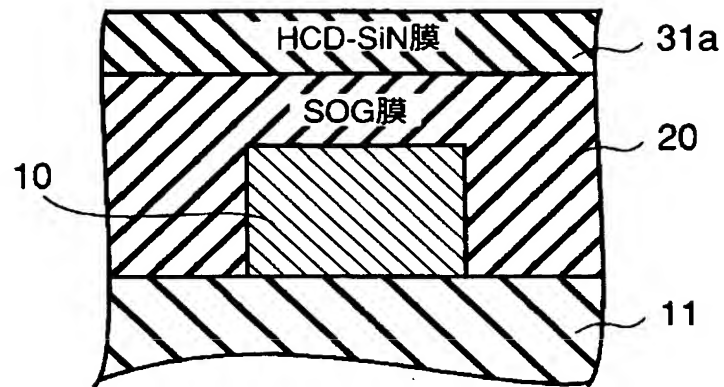
【図 5】



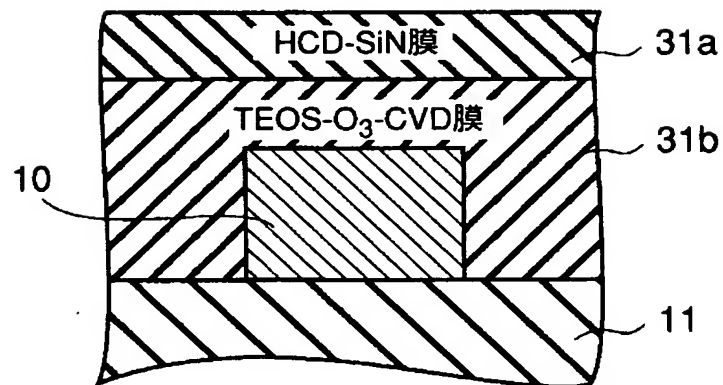
【図 6】



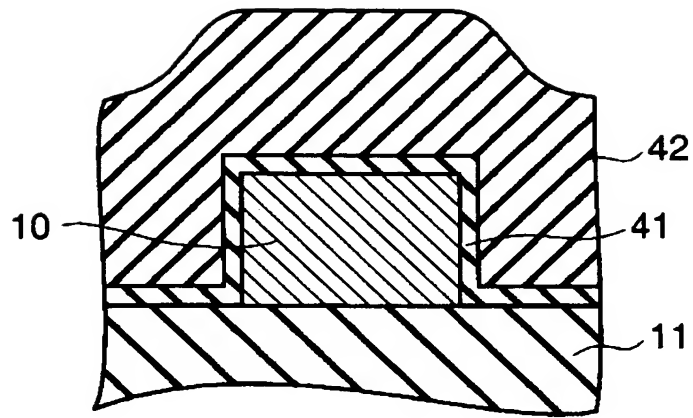
【図 7】



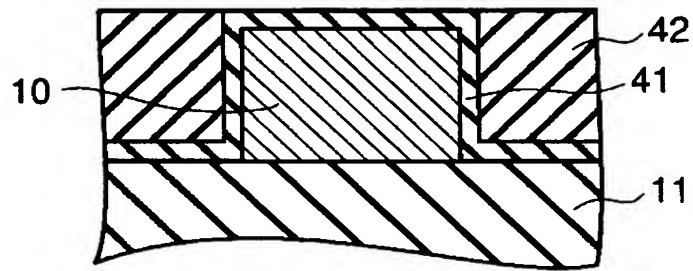
【図 8】



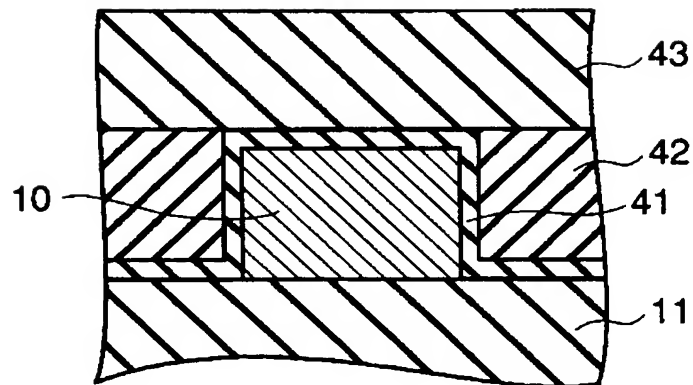
【図 9】



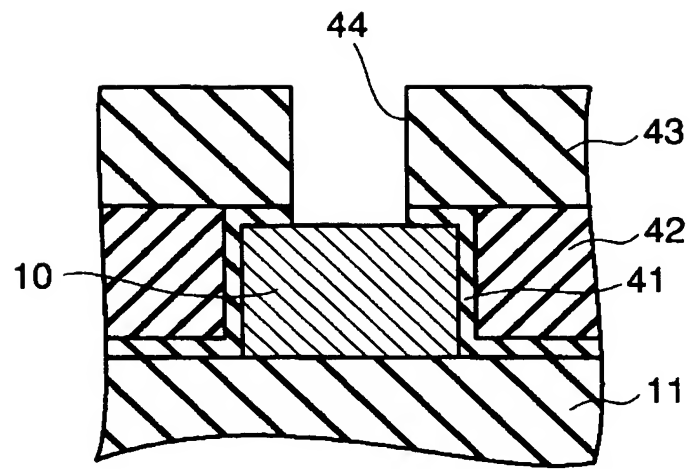
【図 1 0】



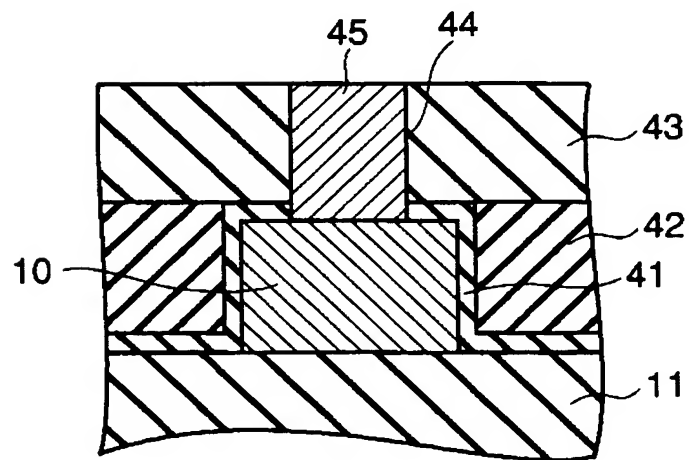
【図 1 1】



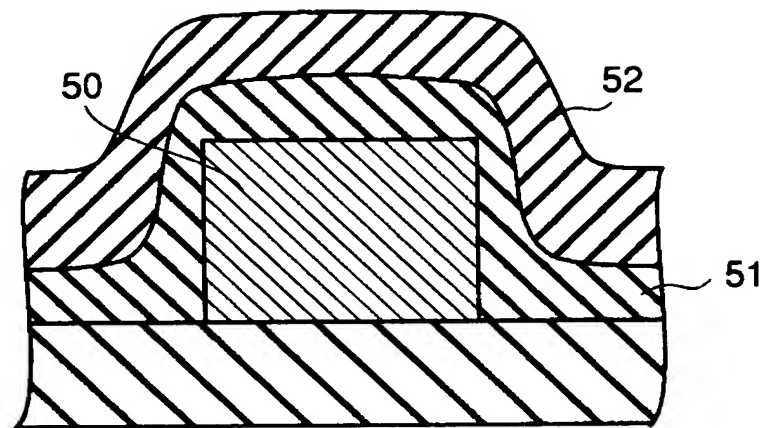
【図 1 2】



【図 1 3】



【図 1 4】



【図 1 5】

膜構造	ΔV_{th} シフト量
パッシベーション膜あり	0.5V
パッシベーション膜なし	0.3V

【書類名】 要約書

【要約】

【課題】 トランジスタを稼働させるしきい値の変動を抑制する。

【解決手段】 半導体装置の製造方法は、配線層 1 0 を形成する工程と、プラズマ状態中の水素が全ガス成分中の 1 % 以下である条件下で、配線層 1 0 上に第 1 の絶縁膜 2 0 を形成する工程とを具備する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝